

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 3月20日

出 願 番 号
Application Number:

特願2003-076871

[ST.10/C]:

[JP 2003-076871]

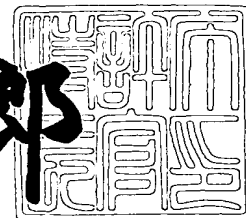
出 願 人
Applicant(s):

沖電気工業株式会社

2003年 6月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3049872

【書類名】 特許願

【整理番号】 KA003888

【提出日】 平成15年 3月20日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06F 12/14
G11C 16/02

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 小沢 一将

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 記憶内容の書き替えが可能な不揮発性の第 1 の記憶手段と、
前記第 1 の記憶手段に格納された記憶内容の外部への出力の可否を示すセキュリティ情報を保持する書き替え可能な不揮発性の第 2 の記憶手段と、

前記第 1 の記憶手段の記憶領域を指定して該第 1 の記憶手段から前記記憶内容を読み出し、第 1 の経路を通して入力された該記憶内容に基づいて制御処理を行う制御処理手段と、

前記第 1 の記憶手段から読み出された前記記憶内容を外部へ出力する第 2 の経路の途中に設けられ、前記セキュリティ情報に基づいてその出力を制御する外部出力手段とを、

備えたことを特徴とする半導体装置。

【請求項 2】 前記第 1 の記憶手段は、記憶内容の書き替えが可能な複数の記憶ブロックを有し、

前記第 2 の記憶手段は、前記第 1 の記憶手段の各記憶ブロックに対応して該記憶ブロックに格納された記憶内容の外部への出力の可否を示すセキュリティ情報を保持する構成とすると共に、

試験モードが設定されたときに外部から与えられるアドレス信号及び制御信号を選択し、通常モードが設定されたときには前記制御処理手段から出力されるアドレス信号及び制御信号を選択して前記第 1 及び第 2 の記憶手段に与える第 1 の選択手段と、

試験モードが設定されたときに外部から与えられる書込データを選択し、通常モードが設定されたときには前記制御処理手段から出力される出力データを選択して前記第 1 の記憶手段に与える第 2 の選択手段とを、

設けたことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 記憶内容の書き替えが可能な複数の記憶ブロックを有する不揮発性の第 1 の記憶手段と、

前記第 1 の記憶手段の各記憶ブロックに対応して該記憶ブロックに格納された

記憶内容の外部への出力の可否を示すセキュリティ情報を保持する書き替え可能な不揮発性の第 2 の記憶手段と、

前記第 1 の記憶手段の記憶領域を指定することによって該第 1 の記憶手段から前記記憶内容を読み出し、第 1 の経路を通して入力された該記憶内容に基づいて制御処理を行うと共に、外部からバウンダリ・スキャン試験を指示する試験信号が直列に与えられたときには、該試験信号に基づいて内部の状態情報をスキャンして直列データとして出力する試験機能を有する制御処理手段と、

メモリ試験モードが指示されたときに外部から与えられるアドレス信号及び制御信号を選択し、通常モードまたはバウンダリ・スキャン試験が指示されたときには前記制御処理手段から出力されるアドレス信号及び制御信号を選択して前記第 1 及び第 2 の記憶手段に与える第 1 の選択手段と、

メモリ試験モードが指定されたときに外部から与えられる書込データを選択し、通常モードまたはバウンダリ・スキャン試験が指示されたときには前記制御処理手段から出力される出力データを選択して前記第 1 の記憶手段に与える第 2 の選択手段と、

前記第 1 の経路の途中に設けられ、通常モードが指示されたときには前記セキュリティ情報に関わらず前記第 1 の記憶手段から読み出された前記記憶内容を前記制御処理手段に出力し、バウンダリ・スキャン試験が指示されたときには、該セキュリティ情報に基づいて該記憶内容の該制御処理手段への出力を制御するデータ出力手段と、

前記第 1 の記憶手段から読み出された前記記憶内容を外部へ出力する第 2 の経路の途中に設けられ、前記セキュリティ情報に基づいてその出力を制御する外部出力手段とを、

備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、フラッシュメモリを有する半導体装置におけるセキュリティ技術に関するものである。

【 0 0 0 2 】

【従来の技術】

【 0 0 0 3 】

【特許文献 1】

特開 2 0 0 1 - 1 4 8 7 1 号公報

【 0 0 0 4 】

図 2 は、前記特許文献 1 に記載された従来の不揮発性半導体記憶装置の構成図である。

【 0 0 0 5 】

この不揮発性半導体記憶装置は、フラッシュメモリ本体 1、情報記憶回路 2、コマンドインターフェイス 3、ステートマシン 4、データ制御回路 5、読み出し回路 6 及びトライステート・バッファ 7 で構成されている。

【 0 0 0 6 】

フラッシュメモリ本体 1 は、保持データを記憶するための記憶エリアが 3 つのブロック (B L K) 1 a, 1 b, 1 c に分割され、情報記憶回路 2 は、これらの各ブロックに対する書き替え禁止情報を記憶するための 3 個のプロテクト用セルと、読み出し禁止情報を記憶するためのセキュリティ用セルを備えている。コマンドインターフェイス 3 は、外部から与えられる各種の制御信号に基づいて、フラッシュメモリ本体 1 に対するデータの読み出し、書き込み、あるいは消去を判断し、ステートマシン 4 を制御するものである。

【 0 0 0 7 】

ステートマシン 4 は、セキュリティ機能の解除が指示された場合には、情報記憶回路 2 内の該当するプロテクト用セルをチェックして、書き替え禁止状態に設定されていれば、このプロテクト情報の設定を無視して、フラッシュメモリ本体 1 内の全ブロック 1 a ~ 1 c における保持データを消去するようになっている。

【 0 0 0 8 】

フラッシュメモリ本体 1 のブロック 1 a ~ 1 c の出力側は、読み出し回路 6 を介してトライステート・バッファ 7 に接続されている。一方、データ制御回路 5 は、外部から与えられる各種の制御信号と、情報記憶回路 2 のセキュリティ用セ

ルの内容に基づいて、トライステート・バッファ 7 からのデータ出力を制御するものである。

【 0 0 0 9 】

このような不揮発性半導体記憶装置で、例えば、誤書き込みなどによる保持データの破壊を防止するために、情報記憶回路 2 内のプロテクト用セルによって、フラッシュメモリ本体 1 内の全ブロック 1 a ~ 1 c について、プロテクト情報が設定されている状態において、コマンドインターフェイス 3 に対してセキュリティ機能の解除が指示されたとする。

【 0 0 1 0 】

この指示がステートマシン 4 に送られると、ステートマシン 4 は情報記憶回路 2 内のプロテクト情報の設定を無視して、フラッシュメモリ本体 1 内の全ブロック 1 a ~ 1 c の保持データを強制的に消去する。これにより、何者かにセキュリティ機能の解除方法が知られたとしても、保持データが第三者の目に触れるのを避けることが可能となり、第三者による保持データの解読または改竄が不可能になる。

【 0 0 1 1 】

【発明が解決しようとする課題】

しかしながら、従来の不揮発性半導体記憶装置では、書き替え及び読み出しが禁止されたブロックを読み出そうとすると、ステートマシン 4 によってフラッシュメモリ本体 1 内の全ブロック 1 a ~ 1 c のデータが強制的に消去される。従って、この不揮発性半導体記憶装置と CPU（中央処理装置）とを組み合わせたマイクロコンピュータ等において、読み出しが禁止されたブロックのデータを CPU で読み出すことができないという課題があった。

【 0 0 1 2 】

【課題を解決するための手段】

前記課題を解決するために、本発明は、半導体装置を、記憶内容の書き替えが可能な不揮発性の第 1 の記憶手段と、前記第 1 の記憶手段に格納された記憶内容の外部への出力の可否を示すセキュリティ情報を保持する書き替え可能な不揮発性の第 2 の記憶手段と、前記第 1 の記憶手段の記憶領域を指定することによって

該第 1 の記憶手段から前記記憶内容を読み出し、第 1 の経路を通して入力された該記憶内容に基づいて制御処理を行う制御処理手段と、前記第 1 の記憶手段から読み出された前記記憶内容を外部へ出力する第 2 の経路の途中に設けられ、前記セキュリティ情報に基づいてその出力を制御する外部出力手段とを備えた構成としている。

【 0 0 1 3 】

本発明によれば、以上のように半導体装置を構成したので、次のような動作が行われる。

【 0 0 1 4 】

制御処理手段によって第 1 の記憶手段の記憶領域が指定されると、この第 1 の記憶手段に格納された記憶内容が読み出され、第 1 の経路を通して制御処理手段に与えられる。これと同時に、第 2 の記憶手段に保持されたセキュリティ情報が読み出されて、外部出力手段に与えられる。セキュリティ情報によって外部への出力が許可されていれば、第 1 の記憶手段から読み出された記憶内容は、第 2 の経路を通して外部に出力される。セキュリティ情報によって外部への出力が禁止されていれば、読み出された記憶内容は、外部に出力されない。これにより、セキュリティ情報によって記憶内容の外部への出力の制御が可能になると共に、内部の制御処理手段では、第 1 の記憶手段の記憶内容を消去せずに読み出すことができる。

【 0 0 1 5 】

【発明の実施の形態】

（第 1 の実施形態）

図 1 は、本発明の第 1 の実施形態を示す半導体装置の概略の構成図である。

この半導体装置は、制御処理手段（例えば、CPU）11 と記憶手段（例えば、フラッシュメモリ）12、13 を有している。フラッシュメモリ 12、13 は、電氣的に一括消去が可能な書き込み可能な不揮発性のメモリであり、フラッシュメモリ 12 は、処理プログラムやデータ等を記憶するための複数の記憶ブロックで構成されている。また、フラッシュメモリ 13 は、フラッシュメモリ 12 の記憶ブロック単位に、外部への読み出しの許可または禁止を示すセキュリティ情

報を設定するために用いられる。

【0016】

CPU11から出力されるアドレス信号ADR及び制御信号CONは、選択手段（例えば、セクタ（SEL））14の入力端子Aに与えられ、このセクタ14の入力端子Bには、外部から試験用のアドレス信号TAD及び制御信号TCNが与えられるようになっている。セクタ14は、制御端子に与えられるモード信号MODで通常モード（例えば、レベル“L”）が指定された時に入力端子Aを選択し、試験モード（例えば、レベル“H”）が指定された時に入力端子Bを選択して、アドレス信号AD及び制御信号CNを出力するものである。アドレス信号ADと制御信号CNは、フラッシュメモリ12に与えられている。また、フラッシュメモリ12の記憶ブロックに対応するアドレス信号ADの上位ビットと制御信号CNが、フラッシュメモリ13に与えられるようになっている。

【0017】

CPU11から出力される出力データDOは、セクタ15の入力端子Aに与えられ、このセクタ15の入力端子Bには、外部から試験用の書込データTDWが与えられるようになっている。セクタ15は、セクタ14と同様に、制御端子に与えられるモード信号MODに応じて入力端子A、Bを選択し、書込データDWを出力するものである。書込データDWは、フラッシュメモリ12に与えられるようになっている。

【0018】

一方、フラッシュメモリ12から読み出された読出データDRは、経路P1を通して直接CPU11に入力データDIとして与えられると共に、途中に出力手段（例えば、3ステートバッファ）16が設けられた経路P2を介して、外部に試験用の読出データTDRとして出力されるようになっている。3ステートバッファ16は、フラッシュメモリ13から与えられるセキュリティ信号SCによって出力状態が制御されるものである。セキュリティがオフ（例えば、セキュリティ信号SCが“H”）のとき、3ステートバッファ16から読出データTDRが出力され、セキュリティがオン（例えば、セキュリティ信号SCが“L”）のとき、この3ステートバッファ16の出力側はハイ・インピーダンスとなる。

【 0 0 1 9 】

更に、この半導体装置は、外部から与えられる試験信号 T S T を検出して、テスト状態が設定されたときにモード信号 M O D を試験モードとし、テスト状態が設定されていないときにはモード信号 M O D を通常モードにして、セクタ 1 4 , 1 5 に与えるモード検出部 1 7 を有している。

【 0 0 2 0 】

次に、動作を説明する。

フラッシュメモリ 1 2 の動作試験を行う場合、まず、図示しない消去回路によって、フラッシュメモリ 1 2 , 1 3 を一括消去する。これにより、フラッシュメモリ 1 2 , 1 3 の全メモリセルが “H” の状態となる。

【 0 0 2 1 】

次に、この半導体装置を試験装置に接続し、外部からの試験信号 T S T によってテスト状態を設定する。これにより、モード信号 M O D は試験モードとなってセクタ 1 4 , 1 5 で入力端子 B が選択され、フラッシュメモリ 1 2 には、外部の試験用のアドレス信号 T A D 及び制御信号 T C N と、試験用の書込データ T D W が与えられる。また、フラッシュメモリ 1 3 から出力されるセキュリティ信号 S C は、すべて “H” であるので、フラッシュメモリ 1 2 の読出データ D R は、3 ステートバッファ 1 6 を介して外部に試験用の読出データ T D R として出力される。

【 0 0 2 2 】

この状態で、試験装置からフラッシュメモリ 1 2 に所定のテストパターンを書き込み、更に書き込んだテストパターンを読み出して正常な読み書きが可能か否かの試験を行う。

【 0 0 2 3 】

動作試験で正常と判定されたフラッシュメモリ 1 2 に所定のプログラムやデータを書き込む。更に、外部への読み出しを禁止する領域のセキュリティ信号 S C を “L” にするために、フラッシュメモリ 1 3 の対応するビットに “L” のデータを書き込む。

【 0 0 2 4 】

通常動作時には、試験信号 T S T が解除され、モード信号 M O D は通常モードとなる。これにより、セクタ 1 4 , 1 5 で入力端子 A が選択され、フラッシュメモリ 1 2 には、C P U 1 1 のアドレス信号 A D R 及び制御信号 C O N と、出力データ D O が与えられる。また、フラッシュメモリ 1 2 の読出データ D R は、C P U 1 1 へ入力データ D I として与えられる。また、読出データ D R は、フラッシュメモリ 1 3 に設定されたセキュリティ情報に応じて出力されるセキュリティ信号 S C に従って、外部への出力が制御される。

【 0 0 2 5 】

以上のように、この第 1 の実施形態の半導体装置は、フラッシュメモリ 1 2 の読出データ D R を C P U 1 1 に対する入力データ D I として与える経路を有している。これにより、セキュリティ信号 S C によって外部への出力が禁止されていても、C P U 1 1 ではフラッシュメモリ 1 2 のデータを消去せずに読み出すことができるという利点がある。

【 0 0 2 6 】

(第 2 の実施形態)

図 3 は、本発明の第 2 の実施形態を示す半導体装置の概略の構成図である。

この半導体装置は、バウンダリ・スキャン試験機能付きの C P U (J T A G 付 C P U) 2 1 と、処理プログラムやデータ等を記憶するフラッシュメモリ 2 2 を有している。

【 0 0 2 7 】

C P U 2 1 は、J T A G (J o i n t T e s t A c t i o n G r o u p) 方式のスキャン試験機能を有するもので、通常の C P U の動作に必要な信号に加えて、試験信号 T E S T を直列に入出力するための端子を有している。

【 0 0 2 8 】

C P U 2 1 から出力されるアドレス信号 A D R 及び制御信号 C O N は、セクタ 2 3 の入力端子 A に与えられている。セクタ 2 3 の入力端子 B には、外部から試験用のアドレス信号 T A D 及び制御信号 T C N が与えられるようになっている。セクタ 2 3 は、制御端子に与えられるモード信号 M O D で通常モードが指定された時に入力端子 A を選択し、試験モードが指定された時に入力端子 B を選

択して、フラッシュメモリ 2 2 に対するアドレス信号 A D 及び制御信号 C N を出力するものである。

【 0 0 2 9 】

また、C P U 2 1 から出力される出力データ D O は、セクタ 2 4 の入力端子 A に与えられ、このセクタ 2 4 の入力端子 B には、外部から試験用の書込データ T D W が与えられるようになっている。セクタ 2 4 は、セクタ 2 3 と同様に、制御端子に与えられるモード信号 M O D に応じて入力端子 A, B を選択し、フラッシュメモリ 2 2 に対する書込データ D W を出力するものである。

【 0 0 3 0 】

一方、フラッシュメモリ 2 2 から読み出された読出データ D R は、経路 P 1 の途中に設けられた 3 ステートバッファ 2 5 を介して、入力データ D I として C P U 2 1 に与えられると共に、経路 P 2 の途中に設けられた 3 ステートバッファ 2 6 を介して試験用の読出データ T D R として外部に出力されるようになっている。

【 0 0 3 1 】

更に、この半導体装置は、外部から与えられる試験信号 T S T を検出して、動作状態に応じたモード信号 M O D を出力するモード検出部 2 7 と、J T A G 方式の試験信号 T E S T に基づいてテストモードを検出するテスト検出部 2 8 を有している。モード検出部 2 7 では、通常動作とバウンダリ・スキャン試験動作の時に、通常モードが設定され、外部から試験用の書込データ T D W 及び読出データ T D R を用いてフラッシュメモリ 2 2 の試験を行う時に、メモリ試験モードが設定されるようになっている。

【 0 0 3 2 】

モード検出部 2 7 から出力されるモード信号 M O D は、セクタ 2 3, 2 4 の制御端子に与えられると共に、2 入力のア N D (論理積ゲート) 2 9 の第 1 の入力側に与えられている。A N D 2 9 の第 2 の入力側には、フラッシュメモリ 2 2 からセキュリティ信号 S C が与えられ、この A N D 2 9 から出力される信号によって、3 ステートバッファ 2 6 の出力状態が制御されるようになっている。

【 0 0 3 3 】

テスト検出部 2 8 の出力側は、2 入力 NAND (否定的論理積ゲート) 3 0 の第 1 の入力側に与えられ、この AND 3 0 の第 2 の入力側には、フラッシュメモリ 2 2 からセキュリティ信号 SC がインバータ 3 1 で反転されて与えられている。そして、AND 3 0 から出力される信号によって、3 ステートバッファ 2 5 の出力状態が制御されるようになっている。

【 0 0 3 4 】

図 4 は、図 3 中のフラッシュメモリ 2 2 の一例を示す構成図である。

このフラッシュメモリ 2 2 は、セクタ 2 3 からアドレス信号 AD と制御信号 CN が与えられるアドレスバッファ・ラッチ・制御部 4 1 と、セクタ 2 4 から書込データ DW が与えられる入力バッファ 4 2, 4 3 を有している。

【 0 0 3 5 】

アドレスバッファ・ラッチ・制御部 4 1 は、アドレス信号 AD を保持して上位アドレス ADU と下位アドレス ADL に分離し、それぞれローデコーダ 4 4 とコラムデコーダ 4 5 に出力すると共に、制御信号 CN に基づいて、入力バッファ 4 2, 4 3 に対する書込制御信号 WE と、読出データ DR の出力を制御するための読出制御信号 RE を出力するものである。

【 0 0 3 6 】

入力バッファ 4 2, 4 3 の出力側には、それぞれメモリアレイ 4 6, 4 7 が接続されている。メモリアレイ 4 6, 4 7 は、電氣的に一括消去が可能で書き込み可能な不揮発性のメモリセルをマトリクス状に配置したものである。メモリアレイ 4 6 は、処理プログラムやデータ等を記憶するために用いられ、メモリアレイ 4 7 は、メモリアレイ 4 6 のブロック単位に、外部への読み出しの許可または禁止のセキュリティ情報を設定するために用いられる。これらのメモリアレイ 4 6, 4 7 には、ローデコーダ 4 4 から読み書きの領域を指定するための信号が与えられるようになっている。

【 0 0 3 7 】

メモリアレイ 4 6 の出力側はコラムデコーダ 4 5 に接続され、このコラムデコーダ 4 5 によって、下位アドレス ADL に対応したデータが選択され、出力バッファ 4 8 に与えられるようになっている。一方、メモリアレイ 4 7 の出力側は、

出力バッファ 4 9 に与えられている。出力バッファ 4 8, 4 9 の出力信号は、アドレスバッファ・ラッチ・制御部 4 1 の読出制御信号 R E で制御される 3 ステートバッファ 5 0, 5 1 を介して、読出データ D R として出力される。また、出力バッファ 4 9 の出力信号は、セキュリティ信号 S C として出力されるようになっている。

【 0 0 3 8 】

次に動作を説明する。

フラッシュメモリ 2 2 のメモリ試験を行う場合、まず、図示しない消去回路によって、フラッシュメモリ 2 2 中のメモリアレイ 4 6, 4 7 を一括消去する。これにより、メモリアレイ 4 6, 4 7 の全メモリセルが “H” の状態となる。

【 0 0 3 9 】

更に、この半導体装置を図示しない試験装置に接続し、外部からの試験信号 T S T によってテスト状態を設定する。これにより、モード信号 M O D はメモリ試験モード（例えば、“H”）となってセレクタ 2 3, 2 4 で入力端子 B が選択され、フラッシュメモリ 2 2 には、外部の試験用のアドレス信号 T A D 及び制御信号 T C N と、試験用の書込データ T D W が与えられる。また、メモリアレイ 4 7 から出力されるセキュリティ信号 S C は “H” であるので、A N D 2 9 の出力信号は “H” となり、フラッシュメモリ 2 2 の読出データ D R は、3 ステートバッファ 2 6 を介して外部に試験用の読出データ T D R として出力される。

【 0 0 4 0 】

この状態で、試験装置からフラッシュメモリ 2 2 に所定のテストパターンを書き込み、更に書き込んだテストパターンを読み出して正常な読み書きが可能か否かの試験を行う。メモリ試験で正常と判定されたメモリアレイ 4 6 に所定のプログラムやデータを書き込み、更に、外部への読み出しを禁止する領域のセキュリティ情報をセットするために、メモリアレイ 4 7 の対応するビットに “L” のデータを書き込む。

【 0 0 4 1 】

次に、バウンダリ・スキャン試験時に、試験信号 T S T によってバウンダリ・スキャン試験モードが指定されると、モード検出部 2 7 からは通常モードと同じ

“L”のモード信号MODが出力される。これにより、セクタ23, 24で入力端子Aが選択され、フラッシュメモリ22には、CPU21からのアドレス信号ADR及び制御信号CONと、出力データDOが与えられる。また、フラッシュメモリ22の読出データDRは、セキュリティ信号SCとテスト検出部28の検出信号で制御される3ステートバッファ25を介して、入力データDIとしてCPU21へ与えられる。なお、モード信号MODは“L”であるので、AND29の出力信号は“L”となり、3ステートバッファ26はハイ・インピーダンスとなって、外部への試験用の読出データTDRの出力は停止される。

【0042】

この状態で、CPU21に対してバウンダリ・スキャン試験を行うための試験信号TESTが直列に入力されると、テスト検出部28によってテスト状態が検出され、このテスト検出部28の出力信号が“H”となる。

【0043】

バウンダリ・スキャン試験の実行によって、フラッシュメモリ22に対するアクセスが行われると、このフラッシュメモリ22からアクセスされた領域のセキュリティ信号SCが出力される。アクセスされた領域の読み出しが禁止されていると、セキュリティ信号SCは“L”であるので、NAND30の出力信号は“L”となり、フラッシュメモリ22の読出データDRは、CPU21へ与えられない。一方、アクセスされた領域の読み出しが禁止されていなければ、セキュリティ信号SCは“H”であるので、NAND30の出力信号は“H”となり、フラッシュメモリ22の読出データDRは、入力データDIとしてCPU21に与えられる。

【0044】

通常動作時に、試験信号TSTによって通常動作モードが指定されると、モード検出部27からは“L”のモード信号MODが出力される。これにより、セクタ23, 24で入力端子Aが選択され、フラッシュメモリ22には、CPU21からのアドレス信号ADR及び制御信号CONと、出力データDOが与えられる。また、テスト検出部28では、バウンダリ・スキャン試験モードが検出されていないので、このテスト検出部28の出力信号は“L”となり、NAND30

の出力信号はセキュリティ信号SCに関係なく“H”となる。従って、フラッシュメモリ22の読出データDRは、3ステートバッファ25を介して、入力データDIとしてCPU21へ与えられる。一方、モード信号MODが“L”のため、3ステートバッファ26はハイ・インピーダンスとなり、読出データDRの外部への出力は停止される。

【0045】

以上のように、この第2の実施形態の半導体装置は、バウンダリ・スキャン試験の時に、フラッシュメモリ22に設定されたセキュリティ情報に基づいて、このフラッシュメモリ22の読出データDRをCPU21に対する入力データDIとして与えるか否かを制御する3ステートバッファ25を有している。これにより、第1の実施形態と同様の利点に加えて、バウンダリ・スキャン試験機能を有するCPU21においても、セキュリティ情報が設定されたフラッシュメモリ22のデータが外部に読み出されるおそれがないという利点がある。

【0046】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【0047】

(a) 図3における3ステートバッファ25、26を制御するための論理回路の構成は一例であり、同様の制御が可能なものであれば、どのような回路構成でも良い。

【0048】

(b) 図4中のアドレスバッファ・ラッチ・制御部41は、単にアドレス信号ADを保持して上位アドレスADUと下位アドレスADLに分離すると共に、制御信号CNに基づいて書込制御信号と読出制御信号を出力するものであるが、更に、読み出し禁止の領域がアクセスされた時に、強制的にその領域のデータを消去する機能を追加しても良い。

【0049】

【発明の効果】

以上詳細に説明したように、第1の発明によれば、第1の記憶手段から読み出

された記憶内容の外部への出力を、第 2 の記憶手段に保持されたセキュリティ情報に基づいて制御する外部出力手段を有している。これにより、セキュリティの設定された記憶内容が外部に漏れることがなく、かつ、この記憶内容を消去せずに制御処理手段での制御処理に使用することができる。

【0050】

第 2 の発明によれば、第 1 の記憶手段は複数の記憶ブロックを有し、第 2 の記憶手段は、この第 1 の記憶手段の各記憶ブロックに対応したセキュリティ情報を保持している。これにより、ブロック単位にセキュリティの設定ができる。更に、試験モードのときに、第 1 の記憶手段を直接外部に接続するための第 1 及び第 2 の選択手段を有している。これにより、セキュリティの設定前に、試験装置等を使用して、記憶手段の動作試験をすることができる。

【0051】

第 3 の発明によれば、バウンダリ・スキャン試験が指示されたときに、第 1 の記憶手段から読み出された記憶内容の制御処理手段への出力を、第 2 の記憶手段に保持されたセキュリティ情報に基づいて制御するデータ出力手段を有している。これにより、セキュリティの設定された記憶内容が、バウンダリ・スキャン試験によって読み出されるおそれがなくなる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示す半導体装置の概略の構成図である。

【図 2】

従来の不揮発性半導体記憶装置の構成図である。

【図 3】

本発明の第 2 の実施形態を示す半導体装置の概略の構成図である。

【図 4】

図 3 中のフラッシュメモリ 2 2 の一例を示す構成図である。

【符号の説明】

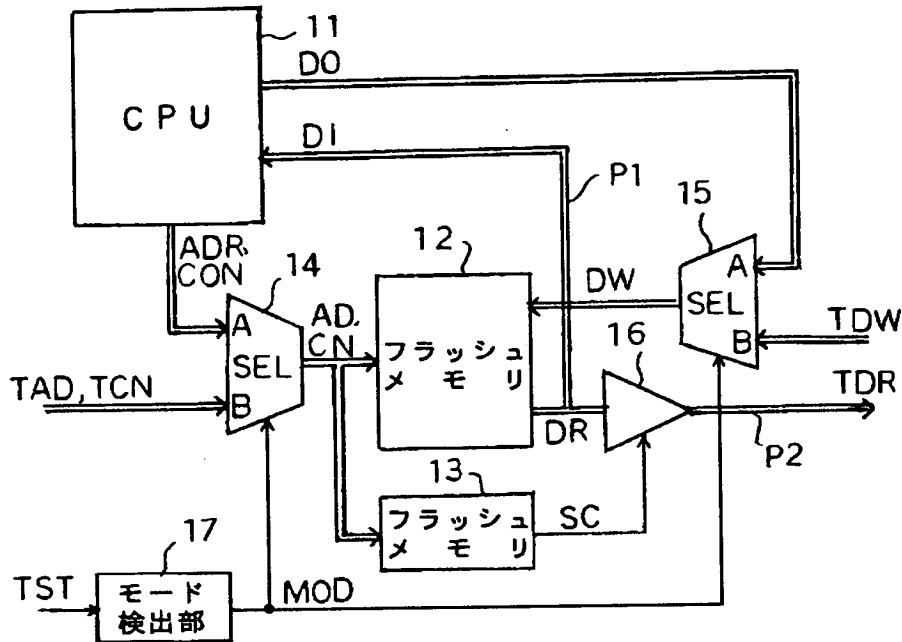
1 1, 2 1 CPU

1 2, 1 3, 2 2 フラッシュメモリ

1 4, 1 5, 2 3, 2 4 セレクタ
1 6, 2 5, 2 6 3 ステートバッファ
1 7, 2 7 モード検出部
2 8 テスト検出部
4 6, 4 7 メモリアレイ
P 1, P 2 経路

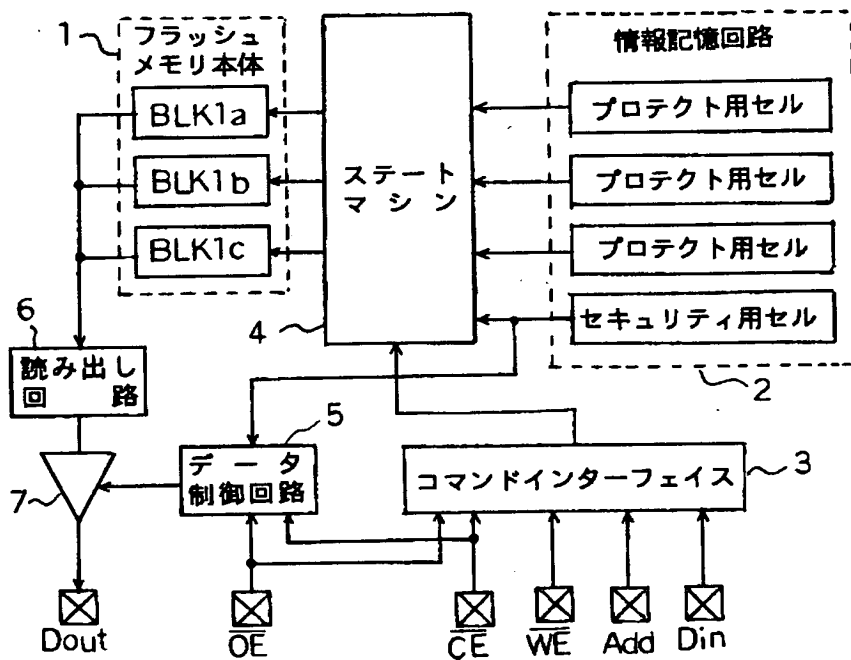
【書類名】 図面

【図 1】



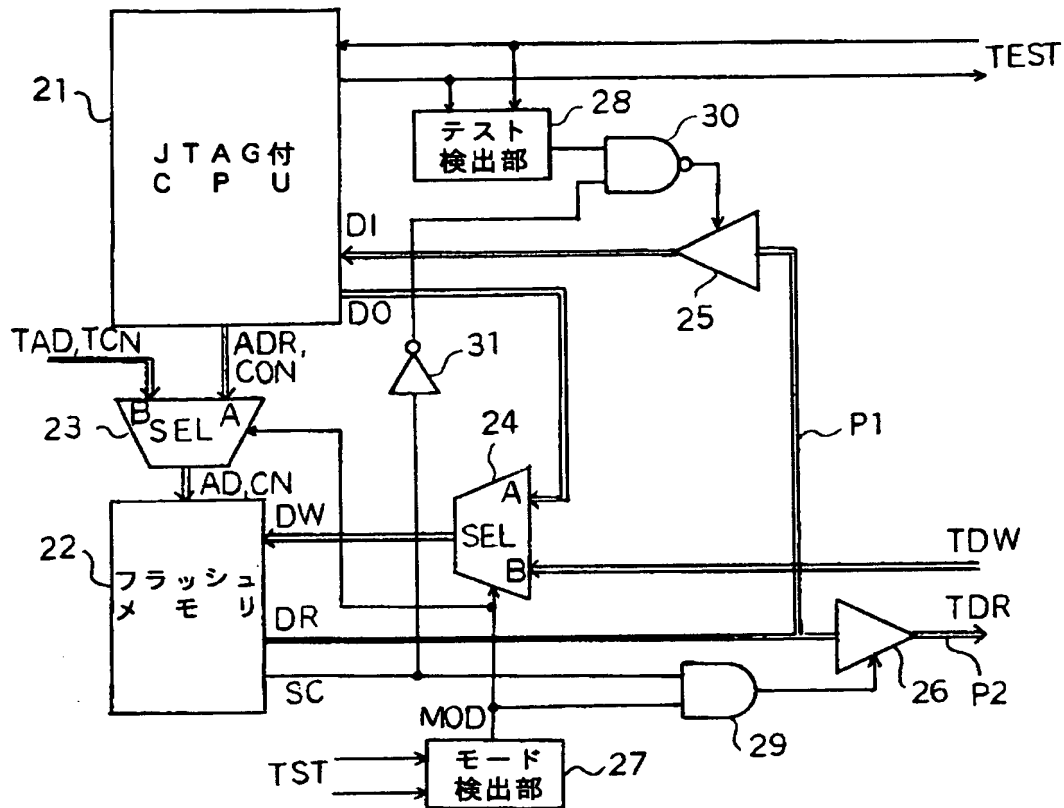
本発明の第 1 の実施形態の半導体装置

【図 2】



従来の不揮発性半導体記憶装置

【図 3】



本発明の第 2 の実施形態の半導体装置

【図4】

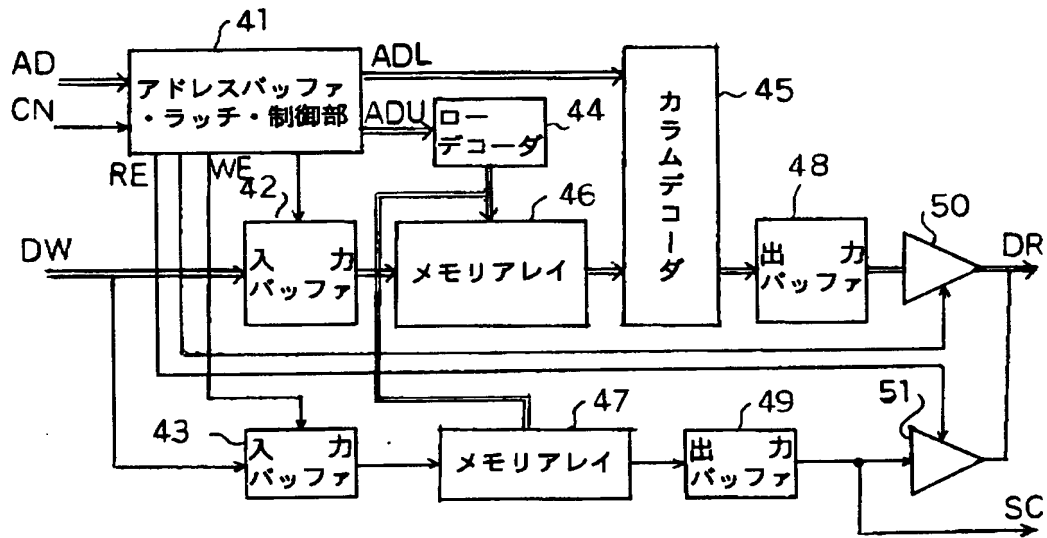


図3中のフラッシュメモリ

【書類名】 要約書

【要約】

【課題】 マイクロコンピュータ等において、外部への読み出しが禁止されたフラッシュメモリのデータを、消去することなく内部のCPUで読み出す。

【解決手段】 フラッシュメモリ12には、所定のプログラムやデータが書き込まれ、フラッシュメモリ13には、このフラッシュメモリ12のブロック毎に外部への読み出しを禁止するか否かのセキュリティ情報が書き込まれる。CPU11から読み出し対象のアドレス信号ADRが出力されると、フラッシュメモリ12から対応する読出データDRが読み出され、CPU11と3ステートバッファ16に与えられる。これにより、CPU11は、所望の入力データDIを得ることができる。一方、3ステートバッファ16の制御端子には、フラッシュメモリ13から出力されたセキュリティ信号SCが与えられる。従って、外部への読み出しが禁止されていれば、外部への読出データTDRは出力されない。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社